

Diseño de un circuito integrado digital para un portador RFID, pasivo y de bajo consumo

Ramiro Tomás González del Cerro

Universidad Tecnológica Nacional - Facultad Regional Buenos Aires

Cátedra Proyecto Final: Ing. Sebastian Verrastro, Ing. Pablo Sánchez, Ing. Martin Sokolowicz Ing. Mariano Vidal

Objetivo

Este trabajo consiste en la investigación y el desarrollo de un circuito integrado digital que solucione parte de la comunicación entre un lector y el portador RFID. Esto es desde que la señal ya fue captada y demodulada hasta que se envía hacia el modulador para ser transmitida. La Figura 1 ejemplifica los bloques más importantes que integran el circuito integrado digital de un portador RFID.

Marco Teórico

La tecnología RFID se ha insertado exitosamente en nuestras vidas. Gran cantidad de productos y sistemas han incorporado esta tecnología logrando de esta manera ofrecer nuevas prestaciones, abaratar costos logísticos y facilitar el desarrollo, entre otras cosas. En términos generales, un sistema de comunicación RFID define una manera para diferenciar objetos y personas utilizando ondas electromagnéticas mediante identificadores únicos (UID). También, permite almacenar y leer información automáticamente. En este sentido, son dos los componentes principales de un sistema RFID:

- 1 Lector de la información o transceptor. Es capaz de leer la información y además de escribir información.
- 2 Portador de la información o transpondedor. Está ubicado en el objeto a identificar y es quien posee la información.

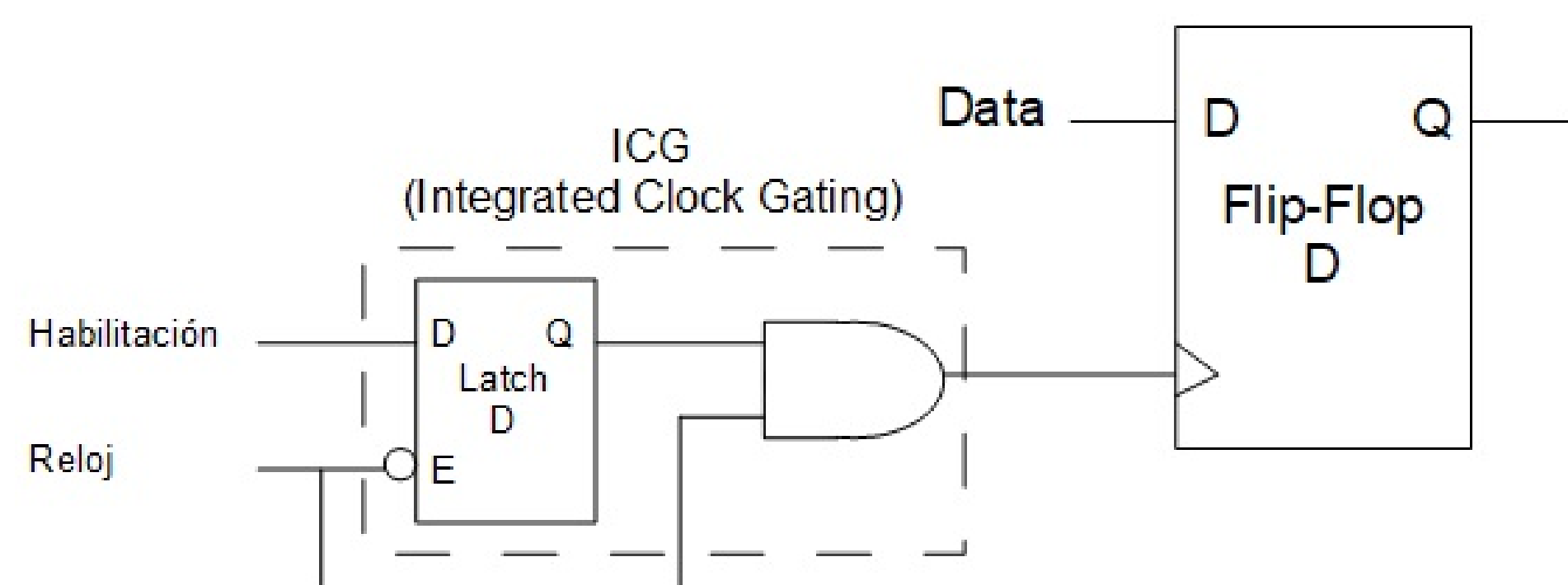
En los portadores pasivos, la corriente eléctrica transmitida por el lector alimenta inductivamente el dispositivo debido a la ausencia de una fuente propia. Cuando el consumo de potencia en un portador RFID pasivo es mayor del disponible, la tensión de alimentación comienza a disminuir. Si ésta alcanza niveles por debajo de determinado valor, el circuito deja de funcionar y no es posible la comunicación con el lector. Por esta misma razón, es necesario implementar diferentes técnicas para el ahorro en el consumo de energía por parte del chip digital.

El consumo total está compuesto principalmente por la componente de conmutación o de consumo dinámico [2], la cual se define en la ecuación 1.

$$P_{conmutacion} = \frac{1}{2} \cdot \alpha \cdot C_L \cdot V_{DD}^2 \cdot f \quad (1)$$

donde: α es la actividad de conmutación, C_L es la capacidad de carga, V_{DD} es la tensión de alimentación y f es la frecuencia del reloj.

Sin embargo, la frecuencia de reloj está limitada por las especificaciones y la tensión de alimentación, por el proceso de fabricación. Por lo tanto, la solución para reducir el consumo dinámico de un circuito es mediante la variación de la actividad de conmutación. En este sentido, la técnica de clock gating (o bloqueo de reloj) es la más utilizada. Ésta consiste en reducir la actividad de conmutación de celdas secuenciales mediante el bloqueo de flancos de la señal de reloj. De esta manera, módulos enteros y registros son bloqueados cuando no son utilizados por el sistema.



Contact Information

Proyecto Final - UTN-FRBA - www.electron.frba.utn.edu.ar/proyectofinal

Resultados

En una de las figuras se ofrece una visión general de una comunicación completa entre el lector y el portador RFID según norma ISO/IEC 14443-3 [1]. Ésta fue simulada mediante la herramienta Modelsim. Los reportes de síntesis establecen un total de 4.103 celdas, lo cual se traduce en un área de celdas de $43.597 \mu\text{m}^2$. El programa de diseño según las simulaciones determina un consumo de $31 \mu\text{W}$. La tecnología de fabricación utilizada corresponde a Global Foundries 8RF de 130 nm.

La prueba del circuito integrado digital diseñado se realizó mediante la interconexión con el circuito integrado analógico también elaborado por alumnos del Departamento de Ingeniería Electrónica de la UTN FRBA [3] y la utilización del módulo Arduino Adafruit PN532 como lector RFID. Otras herramientas utilizadas corresponden a fuentes para alimentar el circuito, osciloscopios y un analizador lógico para evaluar las señales.

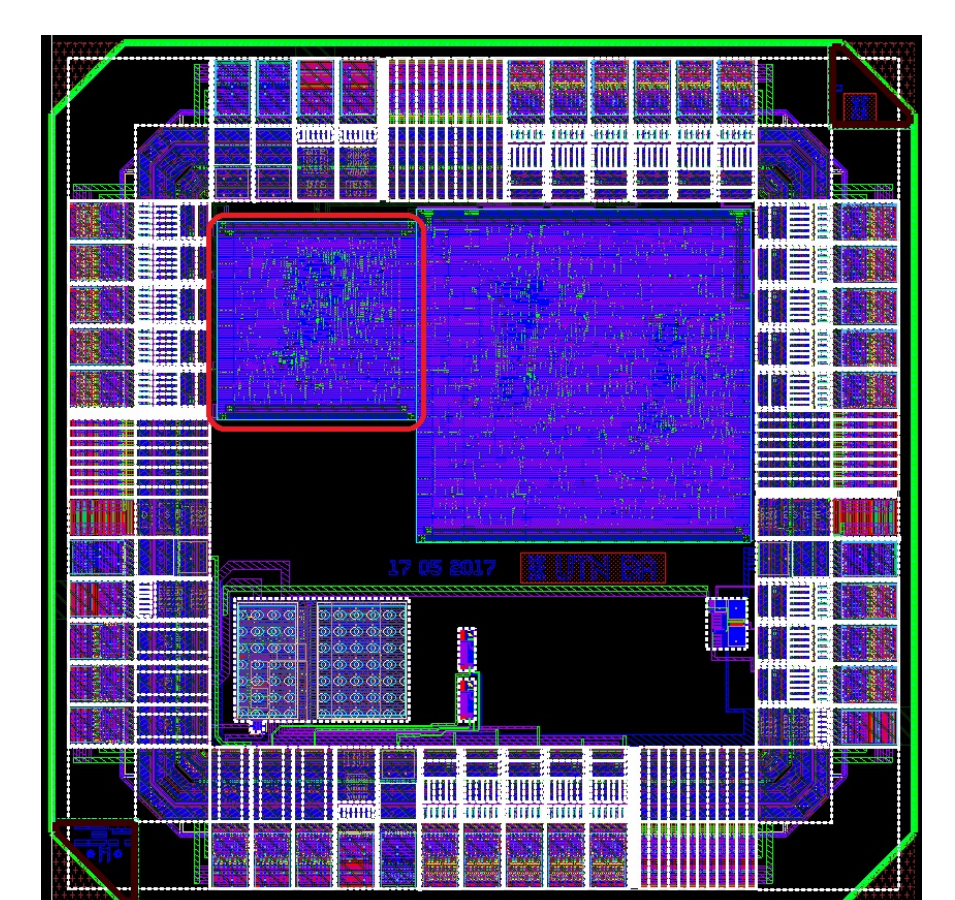
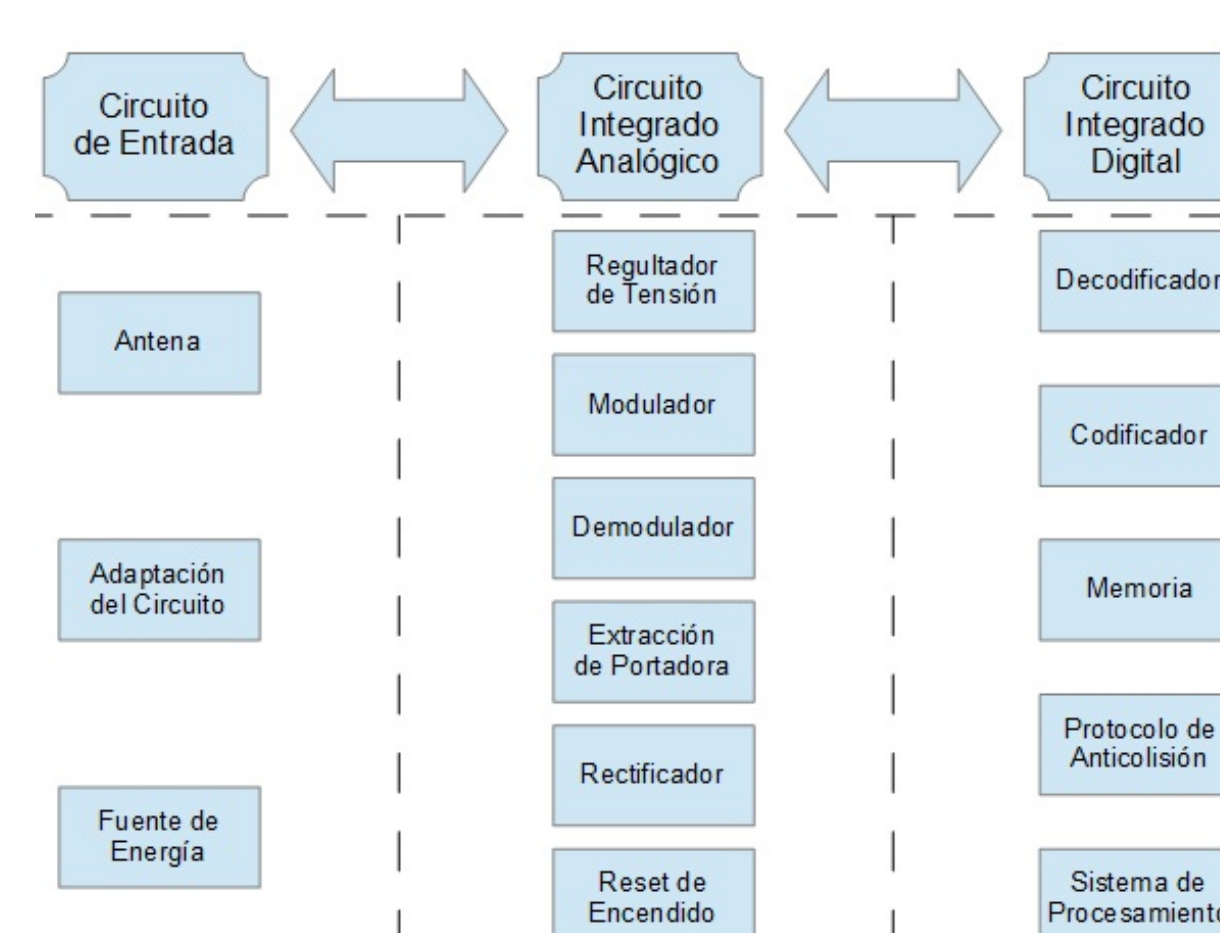


Conclusiones

El circuito funcionó en base a lo esperado. Se generó la respuesta para cada una de las instrucciones válidas presentadas a su entrada. Esto quiere decir que cada uno de los bloques desde la etapa de decodificación hasta la etapa de codificación trabajaron de acuerdo a lo simulado.

Por su parte, la etapa de prueba de la comunicación exterior, con el circuito integrado analógico que resuelve las demás etapas del portador RFID y también con el lector RFID, no fue el esperado. El protocolo de anticollisión no logra completarse porque el lector devuelve cualquier otro número (UID) que no corresponde al que le fue enviado en primera instancia. Por esta situación, la comunicación no es completamente exitosa.

Por último, los valores correspondientes al área del chip y su consumo energético rondan las magnitudes esperadas y son similares a otros desarrollos. Es posible disminuir aún más estas características del diseño. Para este fin es indispensable optimizar el código de descripción de hardware de manera que el software pueda implementar más ampliamente las técnicas de diseño digital como, por ejemplo, clock gating y xor gating. Esta última no fue aplicada por representar un consumo de área mayor en silicio.



Referencias

- [1] Identification cards - contactless integrated circuit(s) cards - proximity cards - part 3: Initialization and anticollision, 2001.
- [2] T. Ki, H. Kim, C. Chung, Y.-H. Kim, K. Bae, and J. Kim. Design of a low-power digital processor for a security passive rfid tag. In *Industrial Electronics Society, IECON 2013-39th Annual Conference of the IEEE*, pages 5450–5454. IEEE, 2013.
- [3] Y. M. Kuo, A. Grosso, F. Galimberti, J. Tantera, J. Mallo, and S. Verrastro. Analog front-end design of contactless rfid smart card iso/iec14443a standard compliant. In *9th LASCAS*, 2018.