



Universidad Tecnológica Nacional
Facultad Regional Buenos Aires

Departamento Ingeniería en Sistemas de Información

ASIGNATURA:	ARQUITECTURA DE COMPUTADORAS
DEPARTAMENTO:	ING. EN SIST. DE INFORMACION
AREA:	COMPUTACIÓN
BLOQUE	TECNOLOGÍAS BÁSICAS

MODALIDAD:	Anual
HORAS SEM.:	4 horas
HORAS/AÑO:	128 horas
HORAS RELOJ	96
NIVEL:	1°
AÑO DE DICTADO:	Plan 2008

Objetivos

Aplicar los aspectos centrales que hacen a la tecnología de la computación y conceptos sobre hardware, plataformas y arquitecturas, para abordar las cuestiones vinculadas al procesamiento y a las comunicaciones

Contenidos Mínimos (Programa Sintético).

- Sistemas numéricos de distintas bases, operaciones básicas, resta por complemento, circuitos lógicos y digitales básicos, códigos y representaciones.
- Tecnología: memorias, almacenamientos auxiliares, dispositivos de entrada y salida.
- Arquitectura: unidades estructurales básicas, UCP, memorias, UAL, controladores, buses, relojes, interfaz de E/S, concepto de microcódigo, plataformas CISC y RISC, principios de programación en lenguajes de base.

Contenidos Analíticos

UNIDAD TEMATICA 1 Evolución del procesamiento de datos.

Los comienzos de la computación: La primera máquina y su evolución; La máquina de tarjetas perforadas; La cinta de papel: El calculador secuencial automático (IBM); El programa almacenado// Clasificación de las computadoras: Analógicas; Digitales; Híbridas // Generaciones de computadoras digitales: Proceso de datos y sistemas de información: Sistemas sincrónicos de propósito general; Sistemas sincrónicos de propósito específico; El sistema operativo. La dinámica del sistema // Arquitectura y Organización de computadoras.



Universidad Tecnológica Nacional
Facultad Regional Buenos Aires

Departamento Ingeniería en Sistemas de Información

UNIDAD TEMATICA 2. Sistemas Numéricos.

Sistemas de notación posicional: Expresión generalizada de un número en potencias de su base; Sistema decimal; Sistema binario; Sistema octal; Sistema hexadecimal; Número de cifras. Cantidad decimal máxima // Métodos de conversión de números enteros y fraccionarios a decimal: 1.2.1 Método de conversión de números de otras bases a decimal; Métodos de conversión de números decimales enteros a otras bases; Métodos de conversión de números decimales fraccionarios a otras bases; pasaje directo entre las bases 2 a 8 y 2 a 16 // Operaciones fundamentales en binario: Suma; Resta o sustracción // Operaciones fundamentales en octal y en hexadecimal: Suma octal; Técnica para sumar números grandes en cualquier base; 3 Suma hexadecimal // Complemento de un número: Complemento a la base, a la raíz o auténtico; Su utilización para la representación de binarios negativos complementados a dos; Complemento a la base-1 o restringido; Su utilización para la representación de binarios negativos complementados a uno

UNIDAD TEMATICA 3 Representación de Datos.

Flujo de datos dentro de una computadora // Códigos de representación de caracteres alfanuméricos: Código ASCII; código ASCII ampliado; Delimitación de strings // códigos de representación decimal (bcd): BCD puro o natural; BCD empaquetado; BCD exceso tres; BCD AIKEN o 2421; // Códigos de representación numérica no decimal: Coma o punto fijo sin signo (enteros positivos); Coma o punto fijo con signo (enteros); Coma o punto fijo con signo con negativos complementados a dos (enteros); Coma o punto fijo con signo con negativos complementados a uno (enteros); Reales en coma o punto flotante (números muy grandes y números reales) // Representaciones redundantes: Códigos de detección y/o corrección de errores. Introducción; Paridad vertical simple o a nivel carácter; Paridad horizontal a nivel de bloque; Paridad entrelazada; Código de Hamming.

UNIDAD TEMATICA 4 Aritmética en una Computadora.

Aritmética Binaria// Representación de enteros// Operaciones con enteros sigandos. Overflow. Sumas en punto flotante // Aritmética Decimal. Sumas y Restas en BCD.

UNIDAD TEMATICA 5 Lógica Digital

Circuitos combinacionales: Circuito Generador y Verificador de Paridad;Circuito comparador de magnitud; Circuitos codificadores; Circuitos multiplexores y demultiplexores; Bus asociado a un Multiplexor-Demultiplexor; Circuitos "programables" para multiples funciones; Memorias sólo de Lectura; Dispositivos tipo PLD // Circuitos secuenciales: Biestables o flip-flops; Biestable R-S; Biestable R-S asincrónico (sin entrada de sincronismo);Biestable R-S sincrónico (temporizado); Biestable J-K sincrónico; Biestable T sincrónico; Biestable D sincrónico // Registros contadores: Registro contador progresivo de 8 eventos (una aplicación con biestables T); Contador



Universidad Tecnológica Nacional
Facultad Regional Buenos Aires

Departamento Ingeniería en Sistemas de Información

regresivo de 8 eventos (con biestables T); Registros con facilidad de desplazamiento: Desplazamientos lógicos; Desplazamientos circulares; Desplazamientos aritméticos; Desplazamientos concatenados

UNIDAD TEMATICA 6 Diseño de una Computadora Digital

Diseño del computador Básico // Relación entre el diseño del hardware y la ejecución de instrucciones // Presentación del modelo de estudio: Ciclo de Instrucción; Fase de búsqueda de una instrucción en memoria principal, Fase de Ejecución; Esquema de la evolución de ejecución de las instrucciones; Esquema simplificado por etapas; Unidad de control: sincronización del tiempo// El módulo de cálculo: Desplazamientos; Comparación mediante resta; Incremento y decremento; Operaciones lógicas; El registro de estado, banderas.

UNIDAD TEMATICA 7 Microprocesadores

Chips, microprocesadores y microcontroladores // Longitud de palabra // Capacidad de direccionamiento // Número de instrucciones // Número de registros internos // Diferencia entre uc cableada y microprogramada. // Descripción de registros internos en arquitecturas de 16, 32 y 64 bits // Registros y modos de direccionamiento // Velocidad del microprocesador // Pipeline // Capacidad de interrupción: Interrupciones externas, internas, excepciones; Vector de interrupciones; Servicio de interrupciones; Pila // Alimentación // Tecnología: CISC; RISC; EPIC.

UNIDAD TEMATICA 8. Memorias

Clasificación de memorias: Clasificación según el modo de acceso a la unidad de Información; Clasificación según las operaciones que aceptan por cada acceso; Clasificación según la duración de la información // Dimensión de la memoria // Memorias Ram estáticas y dinámicas; Memorias SRAM (Static Random Access Memory); Memorias DRAM (dynamic random access memory); RAM con acceso random; Diagrama de interconexión; RAM con acceso asociativo // Jerarquía de la memoria // Memoria Caché: Principios de Funcionamiento; Caching; Mapeo de la dirección física; Mapeo directo; Mapeo asociativo de una vía o de Correspondencia Directa; Mapeo asociativo de n vías o de conjunto; Actualización de caché; Actualización de Memoria Principal; Niveles de caché // Memoria Principal: Memoria a nivel Lógica Digital; Memorias RAM dinámicas; Controlador de memoria dinámica; Módulos; Velocidad del Bus de Memoria// Memoria como en un espacio lógico; Cálculo de direcciones físicas en modo Real; Almacenamiento de bytes en memoria. Big-Endian y Little-Endian; Gestión de memoria y su relación con los modos de operación de los procesadores.

UNIDAD TEMÁTICA 9. Instrucciones.

Formato de instrucción// Modos de direccionamiento// Sílabas// Interpretación de los bits del código de operación.



Universidad Tecnológica Nacional
Facultad Regional Buenos Aires

Departamento Ingeniería en Sistemas de Información

UNIDAD TEMATICA 10. Software de sistema

Clasificación del software de sistema // sistema operativo: niveles de administración; estados de procesos; tipos de sistemas operativos // software de traducción: ensambladores y macroensambladores; intérpretes; Compiladores

UNIDAD TEMATICA 11 Dispositivos de Entrada/Salida

Discos rígidos: controladora; especificaciones técnicas; tiempos de acceso: tiempo de búsqueda; latencia rotacional; tiempo de acceso a los datos; buffer de cache // Dispositivos de almacenamiento removible: Discos ópticos; Discos magneto-ópticos (MO)// Tarjetas de memoria; tarjetas ROM y OTP; tarjetas SRAM; Tarjetas flash.

UNIDAD TEMATICA 12 Transferencias de Entrada/Salida

Buses: Jerarquía de Buses; Buses internos al Chip; Buses que conectan chips sobre una placa; Buses que conectan distintas placas; Buses de Entrada/Salida // Dispositivos de Entrada Salida: Controladores; Adaptadores; Puertos de entrada/salida; Interfaces: Interfaz paralela; Interfaz Serie; Canales o Procesador I/O // Transferencias de Entrada/Salida: Dispositivos maestros y esclavos; Drivers // Modalidades de Entrada/Salida: Transferencia controlada por programa; Transferencia iniciada por Interrupción; Transferencia con acceso directo a memoria.

UNIDAD TEMATICA 13. Procesadores Avanzados.

Paralelismo a nivel instrucción; Pipelining ILP; Grado de paralelismo; Ejecución fuera de orden; Hilos TLP; Multiprocesamiento a nivel chip; Multihilado simultáneo; Paralelismo a nivel arquitectura; Taxonomía de Flynn: SISD; MISD; SIMD; MIMD; SIMD en computadoras vectoriales // Descripción de microprocesadores avanzados: Descripción de arquitectura Itanium; Modos de operación; Intel Itanium arquitectura EPIC; Paralelismo explícito; Registros de propósito general; Registros de coma flotante; Registros de predicado ,Registros rama; Características que mejoran el rendimiento: ILP; Especulación; Predicación; Predicción de saltos; Formato de instrucción: Concepto de bundle //

Descripción de la arquitectura AMD64: Modos de operación; Modo largo, en inglés long mode; Modo compatible; Modo herencia; Registros.

Bibliografía.

- Arquitectura de Computadoras. De Patricia Quiroga. Editorial Alfaomega Edición 1ª , año de edición: 2010, Buenos Aires.



Universidad Tecnológica Nacional
Facultad Regional Buenos Aires

Departamento Ingeniería en Sistemas de Información

- Arquitectura de microprocesadores. Los pentium a fondo. de José María Angulo Usategui, Ignacio Angulo Martínez, José Luis Gutiérrez Temiño. Edición: 1ª, año de edición: 2003.
- Organización y Arquitectura De Computadores de William Stallings . Prentice Hall. N° edición 7ª, año de edición 2006, Madrid.

Correlativas

Esta asignatura no posee correlativas