



PROGRAMA ANALÍTICO DE ASIGNATURA

DEPARTAMENTO: Ingeniería en Sistemas de Información

CARRERA: Ingeniería en Sistemas de Información

NOMBRE DE LA ACTIVIDAD CURRICULAR: Arquitectura de Computadoras

Año académico: Plan 2023

Área: Computación

Bloque: Tecnologías Básicas

Nivel: 1º

Tipo: Obligatoria

Modalidad: Anual

Cargas horarias totales:

<i>Horas reloj</i>	<i>Horas cátedra</i>	<i>Horas cátedra semanales</i>
96	128	4

OBJETIVOS

- Comprender la representación de datos
- Comprender las estructuras básicas de un computador y su funcionamiento
- Distinguir la jerarquía de memoria y arquitecturas de microprocesadores
- Comprender lenguajes de bajo nivel
- Analizar los recursos computacionales a ser utilizados en el procesamiento, almacenamiento y comunicación de datos
- Identificar los sistemas numéricos que aplican a los sistemas digitales para conocer el procesamiento interno de datos
- Distinguir tipos de datos que soporta el procesador para la declaración de las estructuras de datos en los programas
- Reconocer el funcionamiento de las operaciones aritméticas y lógicas para los casos de excepción que producen las ejecuciones de los programas cuando operan datos
- Identificar los conceptos necesarios para comprender la teoría matemática que sustenta el diseño de los circuitos digitales
- Comprender el funcionamiento de circuitos combinacionales y secuenciales clásicos para tener formación en el área de la electrónica digital
- Reconocer un núcleo de ejecución elemental para establecer la relación entre el software y la lógica digital de los componentes que intervienen
- Presentar un modelo de ejecución del mercado actual (32-64) bits para interpretar la gestión de memoria, la ejecución de instrucciones y la gestión de entrada/salida



- Presentar un set de instrucciones CISC utilizando un emulador para ver la traza de ejecución de cualquier programa
- Comprender la gestión de memoria física y memoria virtual para la optimización de la tarea de desarrollo de software
- Comprender los aspectos relacionados con la transferencia de información entre el procesador y el medio externo para su aplicación en los desarrollos de software
- Describir las características generales de los sistemas digitales basados en microprocesadores para poner en contexto la temática que aborda la materia
- Distinguir el paralelismo a nivel instrucción y arquitectónico para poder desarrollar la práctica de programación de forma efectiva

CONTENIDOS

Contenidos mínimos

- Sistemas numéricos de distintas bases
- Operaciones y Conversiones
- Circuitos lógicos y digitales, códigos y representaciones
- Algebra de Boole
- Tecnologías de almacenamiento y dispositivos de entrada y salida
- Componentes de la arquitectura interna
- Plataformas de microprocesadores
- Programación en lenguajes de bajo nivel

Contenidos analíticos

Unidad 1: Evolución del procesamiento de datos

Clasificación de las computadoras: Analógicas; Digitales; Híbridas. Generaciones de computadoras digitales: Proceso de datos y sistemas de información: Sistemas sincrónicos de propósito general; Sistemas sincrónicos de propósito específico; El sistema operativo. Descripción general de la organización de computadoras.

Logros pedagógicos:

Describir las características generales de los sistemas digitales basados en microprocesadores para poner en contexto la temática que aborda la materia.

Incorporar terminología que apunte al entendimiento del lenguaje técnico propio del área de competencia.

Unidad 2: Sistemas Numéricos

Sistemas de notación posicional: Expresión generalizada de un número en potencias de su base; Sistema decimal; Sistema binario; Sistema octal; Sistema hexadecimal; Número de cifras y cantidad decimal máxima. Métodos de conversión de números enteros y fraccionarios a



decimal. Métodos de conversión de números decimales enteros a otras bases. Métodos de conversión de números decimales fraccionarios a otras bases. Pasaje directo entre las bases 2 a 8 y 2 a 16. Operaciones fundamentales en binario: Suma; Resta. Operación de suma en octal y en hexadecimal. Técnica para sumar números grandes en cualquier base. Complemento de un número: Complemento a la base, a la raíz o auténtico; Complemento a la base-1 o restringido.

Logros pedagógicos: Justificar la utilización de dígitos binarios como elementos del lenguaje interno de la computadora para la interpretación de los valores en las estructuras de datos, almacenados en registros y medios de almacenamiento. Justificar el empleo de los sistemas hexadecimal y octal para representar de manera simplificada las entidades binarias. Realizar operaciones en sistema binario, suma hexadecimal, suma octal y complemento binario para comprender la operatoria interna de la CPU.

Unidad 3: Representación de Datos

Tipos de datos fundamentales. Alineación de palabras, palabras dobles, palabras cuádruples y cuádruples dobles. Códigos de representación de caracteres alfanuméricos: Código ASCII; código ASCII ampliado; UTF-8; UTF-16; UTF-32. Enteros en base 10: BCD y BCD empaquetado. Enteros en base 2: Coma o punto fijo sin signo; Coma o punto fijo con signo (enteros con negativos complementados a dos); Reales: Coma o punto flotante (precisión media, simple, doble y doble extendida). Tipos de datos de punteros. Tipo de dato campo de bit. Códigos de detección de errores: Paridad vertical simple o a nivel carácter; Paridad horizontal a nivel de bloque; Paridad entrelazada.

Logros pedagógicos: Conocer los tipos de datos que soporta el procesador para la declaración de las estructuras de datos en los programas.

Unidad 4: Aritmética en una Computadora

Suma y resta con enteros no signados. Suma y resta con enteros signados. Banderas Aritméticas. Excepciones producidas por cálculos. Rangos de representación para enteros y reales. Operaciones Lógicas entre dos operandos binarios: AND, OR, XOR y NOT. Sumas en BCD.

Logros pedagógicos: Interpretar el funcionamiento de las operaciones aritméticas y lógicas con los formatos presentados en la UNIDAD 3, para reconocer los casos de excepción que producen las ejecuciones de los programas cuando operan datos.

Unidad 5: Álgebra de Boole

Operaciones y expresiones booleanas. Leyes y reglas del álgebra de Boole. Teoremas de De Morgan. Análisis booleano de los circuitos lógicos. Simplificación mediante el álgebra de Boole. Formas estándar de las expresiones booleanas. Expresiones booleanas y tablas de verdad. Compuertas lógicas o gates: compuerta AND; compuerta OR; compuerta OR exclusiva o XOR; compuerta NOT; compuerta BUFFER; compuerta NOR; compuerta NAND; compuertas triestado



o compuertas tri-state. Circuito sumador-binario en paralelo. Circuito Semisumador (SS) o Half Adder (HA). Circuito Sumador Completo (SC) o Full Adder (FA). Circuitos equivalentes.

Logros pedagógicos: Conocer los conceptos necesarios para comprender la teoría matemática que sustenta el diseño de los circuitos digitales.

Unidad 6: Lógica Digital

Circuitos combinacionales: Comparadores; Decodificadores: Decodificador BCD a 7 leds; Codificadores: Codificador teclado numérico a BCD; Convertidores de código; Multiplexores (selectores de datos); Demultiplexores; Generadores / comprobadores de paridad. Bus asociado a un multiplexor-demultiplexor con compuertas buffer; Circuitos "programables" para múltiples funciones; Memorias de sólo lectura, memorias ROM y programables (PROM y EPROM); Software y Lógica programable, implementación de tablas de verdad en dispositivos PLD (PAL y GAL). Circuitos secuenciales: Biestables y flip-flops: Biestable R-S asincrónico; Biestable R-S sincrónico; Biestable J-K sincrónico; Biestable T sincrónico; Biestable D sincrónico. Registros contadores: Registro contador progresivo de 8 eventos (una aplicación con biestables T); Contador regresivo de 8 eventos (con biestables T); Registros con facilidad de desplazamiento: Desplazamientos lógicos; Desplazamientos circulares; Desplazamientos aritméticos; Desplazamientos concatenados, copia entre dos registros.

Logros pedagógicos: Comprender el funcionamiento de circuitos combinacionales y secuenciales clásicos para tener formación en el área de la electrónica digital.

Unidad 7: Modelo de ejecución

Núcleo de ejecución básico: Relación entre el diseño de la lógica digital de un núcleo de ejecución (CPU) y la generación de micro-operaciones para la ejecución de instrucciones: Descripción del ciclo de Instrucción en cuatro etapas: fase de búsqueda de una instrucción en memoria, decodificación, fase de búsqueda de un operando en memoria y ejecución del código de operación; sincronización del tiempo con un secuenciador elemental. El módulo de cálculo: Instrucciones asociadas a desplazamientos de información en los registros; Comparación mediante resta y justificación de las instrucciones de salto condicionado a banderas aritméticas; Incremento y decremento e instrucciones asociadas; Circuito de las operaciones lógicas aplicadas a un par de bits e instrucciones asociadas.

Logros pedagógicos: Conocer un set de instrucciones en simbólico de máquina y su código de máquina. Conocer como la CPU realiza su ejecución para comprender la relación entre el software y la lógica digital de los componentes que intervienen.

Unidad 8: Microprocesadores

Chips. Microcontroladores. Microprocesadores: Registros básicos para la ejecución de aplicaciones (16, 32 y 64 bits). Modos de operación. Velocidad del microprocesador. Interrupciones: externas, internas, excepciones; Vector de interrupciones y Servicios de



interrupciones. Pila: Organización. Llamados a procedimientos y retorno. Tecnologías: CISC; RISC; EPIC.

Logros pedagógicos: Presentar un modelo de ejecución para las aplicaciones, basado en un procesador CISC de arquitectura de 32-64 bits para interpretar la gestión de memoria, la ejecución de instrucciones y la gestión de entrada/salida en las siguientes unidades de la materia.

Unidad 9: Instrucciones

Modos de direccionamiento a los datos. Clasificación y características generales del repertorio de instrucciones. Instrucciones privilegiadas. Instrucciones protegidas. Instrucciones aritméticas. Instrucciones lógicas. Instrucciones de cadena. Instrucciones de transferencia de control. Instrucciones de transferencia de datos. Instrucciones de control de los señalizadores. Instrucciones de asignación condicional. Instrucciones de bit. Interpretación de los bits del código de operación de un par de instrucciones. Laboratorio: Ejecución de instrucciones utilizando un emulador.

Logros pedagógicos: Presentar un set de instrucciones CISC utilizando un emulador que permite ver la traza de ejecución.

Unidad 10: Memorias

Clasificación de memorias: Clasificación según el modo de acceso a la unidad de Información; Clasificación según las operaciones que aceptan por cada acceso; Clasificación según la duración de la información. Dimensión de la memoria. Jerarquía de la memoria. Principios de las memorias semiconductoras. Memorias RAM: estáticas SRAM (Static Random Access Memory) y dinámicas DRAM (dynamic random access memory); Acceso random: diagrama de interconexión a nivel lógica digital. Acceso asociativo: diagrama de interconexión a nivel lógica digital. Concepto de Latencia y ancho de Banda. Memorias flash. Expansión de memorias: SIMM, DIMM, RIMM (bancos de memoria). Memoria Caché: Principios de Funcionamiento; Mapeo de la dirección física; Mapeo directo; Mapeo asociativo de una vía o de Correspondencia Directa; Mapeo asociativo de n vías o de conjunto; Actualización de caché; Actualización de Memoria Principal; Niveles de caché. L1 y L2. Organización Cache en Intel. Organización Cache en ARM. Memoria Principal: Controlador de memoria dinámica; Velocidad del Bus de Memoria. Memoria como en un espacio lógico: Memoria Virtual: Memoria Segmentada: Cálculo de direcciones físicas a partir de una dirección segmentada, Memoria Paginada: Cálculo de direcciones físicas a partir de una dirección paginada; Almacenamiento de bytes en memoria. Big-Endian y Little-Endian; Gestión de memoria y su relación con los modos de operación del procesador. **Logros pedagógicos:** Comprender la gestión de la memoria física y de la memoria virtual para la optimización de recursos en la programación.



Unidad 11: Entrada/Salida

Modalidades de transferencia: Transferencia controlada por programa; Transferencia iniciada por Interrupción; Transferencia con acceso directo a memoria. Intel®: Direccionamiento a Puertos. Hardware de Puertos. Espacio de Direccionamiento de E/S. Instrucciones de entrada/salida. Entrada/Salida, modo protegido. Medios de almacenamiento externo: Características y Especificaciones Técnicas.

Logros pedagógicos: Comprender los aspectos relacionados con la transferencia de información entre el procesador y el medio externo para su aplicación en los desarrollos de software.

Unidad 12: Paralelismo

Paralelismo a nivel instrucción. Procesadores Segmentados. Pipelining y grado de paralelismo. Ejecución fuera de orden. Intel® Hyper-Threading Technology. Multihilado simultáneo; Registros de predicado. Registros rama; Características que mejoran el rendimiento: ILP; Especulación; Predicción; Predicción de saltos. Paralelismo a nivel arquitectura; Paralelismo explícito. Taxonomía de Flynn: SISD; MISD; SIMD; MIMD; SIMD en computadoras vectoriales.

Logros pedagógicos: Comprender el paralelismo a nivel instrucción y a nivel arquitectónico para poder desarrollar la práctica de programación de estos sistemas de forma efectiva.

BIBLIOGRAFÍA OBLIGATORIA

- Floyd L., T. (2016). Fundamentos de sistemas digitales. Ed. Pearson.
- Patterson David A., Hennessy, J. (2018). Estructura y diseño de computadores. Ed. Reverté.
- Quiroga, P. (2010). Arquitectura de Computadoras. Editorial Alfaomega.
- Savage Carmona, J., Vázquez Rodríguez, G., Chávez Rodríguez, N. (2017). Diseño de Microprocesadores. Ed. UNAM -
- Stallings, William. (2019). Computer Organization and Architecture. Ed. Pearson.

BIBLIOGRAFÍA COMPLEMENTARIA

- S/N, (2021). Intel® 64 and IA-32 Architectures Software Developer's Manual Volume 1: Basic Architecture. CHAPTER 3 BASIC EXECUTION ENVIRONMENT.
- S/N (2021) Intel® 64 and IA-32 Architectures Software Developer's Manual Volume 1: Basic Architecture. CHAPTER 4 DATA TYPES
- S/N (2021) Intel® 64 and IA-32 Architectures Software Developer's Manual Volume 1: Basic Architecture. CHAPTER 5 INSTRUCTION SET SUMMARY.
- S/N (2021) Intel® 64 and IA-32 Architectures Software Developer's Manual Volume 1: Basic Architecture. CHAPTER 6 PROCEDURE CALLS, INTERRUPTS, AND EXCEPTIONS.
- S/N (2021) Intel® 64 and IA-32 Architectures Software Developer's Manual Volume 1: Basic Architecture. CHAPTER 7 PROGRAMMING WITH GENERAL-PURPOSE INSTRUCTIONS.



Universidad Tecnológica Nacional
Facultad Regional Buenos Aires

- S/N (2021) Intel® 64 and IA-32 Architectures Software Developer's Manual Volume 1: Basic Architecture. CHAPTER 19 INPUT/OUTPUT.
- S/N (2022) AMD64 Architecture Programmer's Manual, Volumes 1-5 Publication
- S/N. (2019) IEEE Standard for Floating-Point Arithmetic-
- Martinez Amador, Humberto. (2012). Arquitectura de Computadoras. Grupo Editorial Éxodo.